

QoS を考慮したクロスバとアービタの融合による 細粒度通信向けスイッチ構造の提案と評価

A Study of Switch Architecture Combined of Crossbar and Arbiter with QoS Guarantee for Fine-Grain Communication

80717729 三野峻徳 (Takanori Mitsuno) Supervisor : 西宏章 (Hiroaki Nishi)

1. 緒論

近年のインターネットにおいて問題であったファーストワンマイル・ラストワンマイルといった従来の通信速度のボトルネックは、FTTH の普及により解決しつつある。しかし、その一方でユビキタス通信や VoIP といった従来とは異なる比較的小さなパケットが増加し（細粒度通信）、ミドルマイルのバックボーンルータに集中している。従来のバックボーンルータは大容量転送に対応しているが、細粒度通信には対応していないため通信速度のボトルネックはミドルマイルに移りつつあるのが現状である。したがって、ミドルマイルのバックボーンルータは今後も増加し続けると考えられる細粒度通信への対応が必要不可欠であると考えられる。

そこで、本研究はルータの基本処理の内、経路制御処理を行うスイッチ部について、細粒度通信に対応した新しいスイッチアーキテクチャを提案し、評価・検討することを目的とする。

2. 提案アーキテクチャの概要

8 入力 1 出力の提案アーキテクチャを図 1 に示す。提案アーキテクチャは 2 入力 1 出力のセレクタが連なったトーナメント方式によりスイッチングを行う。セレクタはクロック同期動作し、1 つのセレクタにはセルが 1 つ入る。長いパケットは複数のセルに分割され、複数パイプラインステージに跨って存在し、ワームホールで処理する。またセレクタは優先順位決定カウンタの bit 値により選択を行う。優先順位決定カウンタは一般的なカウンタを用い、カウンタの各 bit 値を各パイプラインステージに送ることにより動作する。

各入力から入ったセルは、各パイプラインステージにあるセレクタで毎クロック選択され、パイプラインステージを進む。セレクタに選択されなかったセルは前ステージのセレクタ内で保持され、次クロックでの選択を待つ。提案アーキテクチャは、この動作を繰り返すことによりセルが徐々にパイプラインステージを進み、最終的に出力される仕組みを持つ。

提案アーキテクチャは同一のセレクタで各パイプラインステージを構成する構造である。したがって、論理段数・論理構成が一定のため、クロックサイクルの効率化を図ることができ、パイプラインの構築が容易である。さらに、従来は別途回路が必要であった QoS(Quality of Service)処理についても、提案アーキテクチャの構造により保証可能である。

3. QoS を保証する提案アーキテクチャ

QoS を保証する 4 入力 1 出力提案アーキテクチャを図 2 に示す。各入力はそれぞれコントローラ部と命令セットを有し、VOQ(Virtual Output Queue)に含まれるセル情報と命令セットに従って帯域カウンタ、拡張カウンタ、VOQ、優先順位決定カウンタを制御する。優先順位決定カウンタはコントローラ部から

の制御により、次に設定する bit 値を決定する。

命令セットの一部を表 1 に示す。これらの命令を組み合わせることにより、入力単位の帯域制御やフロー単位の優先制御を行う。提案アーキテクチャでは帯域制御と優先制御が排他的であるが、提案アーキテクチャを 2 段重ねることにより両方の処理が可能である。例えば、4 入力でパケットの優先度が 4 つある場合は、全体として 16 入力 1 出力の提案アーキテクチャを設けることによって対応する。

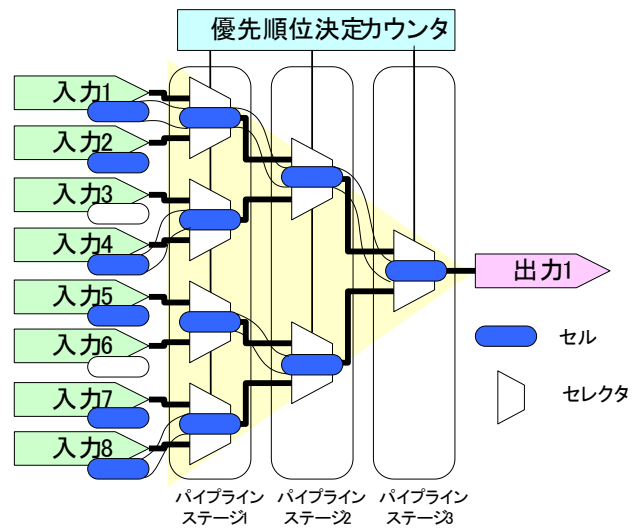


図 1. 提案アーキテクチャの構造

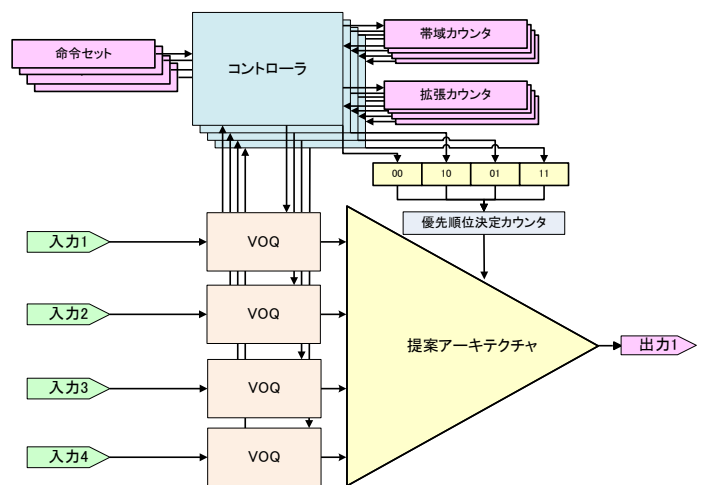


図 2. QoS を保証する提案アーキテクチャ

表1 命令セット

命令セット	動作
INOP	初期状態
IDECB	帯域カウンタのデクリメント
IDECE	拡張カウンタのデクリメント
ISTOP	他がSTOPになるまで待つ
DISCARD	セルを廃棄

4. 評価

図1に示した8入出力の提案アーキテクチャと図2に示したQoSを保証する提案アーキテクチャ、比較対象としてCrossbar, およびBuffered Crossbar(XB)[1]をハードウェア記述言語Verilog HDLで記述し、シミュレーションにCadence NC-Verilog LDV5.7, 合成にSynopsys Design Compiler2005.09を用いて評価を行った。提案アーキテクチャとBuffered Crossbar(図3)は各入力に無限キュー長のVOQを有した構造とした。ただし、このVOQは回路規模・動作遅延の評価に含めず、VOQアービタから先の回路の評価を行った。

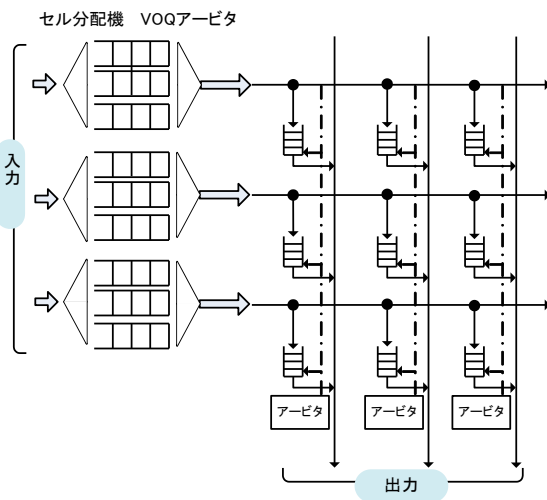


図3. Buffered Crossbarの構造

回路規模・動作遅延を表2に、細粒度通信を想定した交換能力の比較を図4に示す。表2より、回路規模はCrossbarが一番小さい結果となった。これは、提案アーキテクチャは各セレクタにバッファを持っていること、Buffered Crossbarはクロスポイントにバッファを持っていることから、Crossbarより回路規模が大きくなった結果であると考えられる。提案アーキテクチャとBuffered Crossbarの回路規模の差は、内部に持つバッファの数(XB: n^2 , 提案アーキテクチャ: $n(2^{kq}-1)$, n は入出力数)とVOQアービタ、出力アービタの回路規模の差によって生じている。

図4において、横軸は入力側のセルの投入割合(%), 縦軸はセルがVOQに到着してから出力されるまでの平均処理遅延(clock)を表している。提案アーキテクチャとBuffered Crossbarは100%のセルの投入に対して、ほぼ100%の確率でセルを出力するのにに対し、Crossbarは20%前後の確率でしかセルを出力しない。このため、入力トラフィック20%前後で急激に平均処理遅延時間が上昇している。また、Buffered Crossbarと提案アーキテクチャはほぼ同等の交換性能を示しているが、入力割合が100%の時の平均遅延時間は提案アーキテクチャが小さい結果となった。これは、提案アーキテクチャは徐々にセルが出力に向かうのに対し、Buffered Crossbarは入力側のVOQアービタと

出力側のアービタが別々の動作をしているため、全体として提案アーキテクチャよりもスイッチ内部に居る時間が長くなってしまっているためである。

QoSを含めた場合の提案アーキテクチャの回路規模は、含まない場合の回路規模のおよそ3.6倍と増加している。しかし、同様の処理を従来手法のCrossbarやBuffered Crossbarは、出力後に大容量のキューを設けた別回路で行っているため、従来手法も回路規模の増大は避けられない。仮に同様の処理を行うため、出力側にキュー長4の8個のキューを設けた場合の回路規模は、Crossbarで2,420,538 μm^2 となり提案アーキテクチャの回路規模の増大よりも大きい変化となっている。交換能力においても別回路での動作を必要とするため、処理能力の低下は避けられない。したがって、QoSを含めた場合でも提案アーキテクチャは従来手法と遜色ない性能を示すことができる。

表2 回路規模と動作遅延比較

	提案法	Crossbar	XB	提案法(QoS)
回路規模 (μm^2)	610,740	266,421	1,906,186	2,216,846
動作遅延 (ns)	4.36	4.72	10.43	6.95

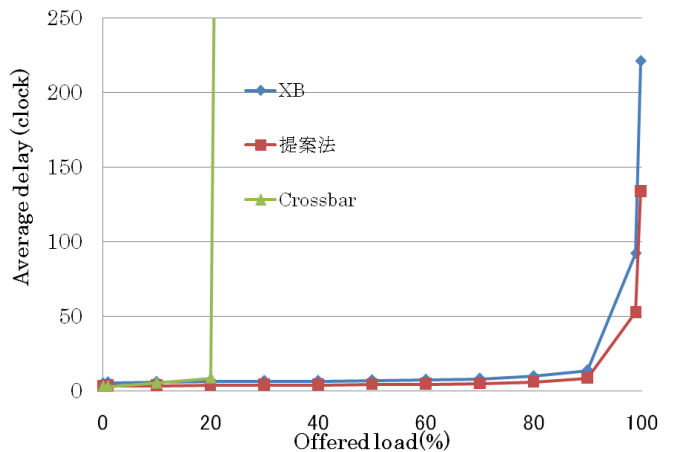


図4. 交換能力の比較

5. 結論

本研究では、ルータの経路制御処理部に用いるQoSの保証が可能な新構造のスイッチアーキテクチャを提案し、評価を行った。従来ではクロスバとアービタの処理が別であったが、提案アーキテクチャでは毎クロックセレクタがセルを処理することで同時処理を行っている。

交換能力のシミュレーション評価より、提案アーキテクチャはパイプライン処理によってセル単位で効率よく処理するため、細粒度通信に対しても高い性能を示した。また、回路規模と動作遅延の比較も、同等の交換性能を示すBuffered Crossbarよりも小さい値となり、提案アーキテクチャの有用性を示した。

QoS処理を含めた評価でも、従来法とほぼ同等の回路規模で単一スイッチのみのQoSの保証が可能ということを示した。したがって、従来法とほぼ同等の回路規模を有しつつ、かつ細粒度通信時においても効率よく処理するQoSを保証するスイッチアーキテクチャの有効性を示すことができた。

参考文献

[1] R.R.Cessa, E.Oki, Z.Jing, H.J.Chao, "CIXB-1: Combined Input One cell Crosspoint Buffered Switch" 2001 IEEE Workshop of High Performance Switches and Routers, pp.324-329